

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017559
 (43)Date of publication of application : 22.01.1999

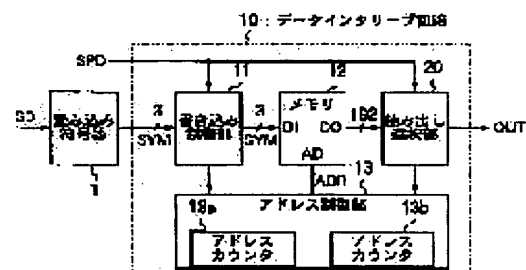
(51)Int. Cl. H03M 13/22
 H03M 13/12

(21)Application number : 09-165564 (71)Applicant : OKI ELECTRIC IND CO LTD
 (22)Date of filing : 23.06.1997 (72)Inventor : OKAMOTO YASUSHI

(54) DATA INTERLEAVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption of the data interleave circuit.
 SOLUTION: Symbol data SYM in 3-bit given from a convolution coder 1 are given to a write control section 11, from which the data are given to three input terminals D10-D12 of a memory 12 in the unit of 3 bits. The memory 12 has 1 word 192-bit configuration, output signals from output terminals D03i-3- D03i-1 (where i=1-63) are given to input terminals D13i-D13i+2 of the memory 12, which is configured as a shift register. Output terminals D00-D0191 of the memory 12 are connected in parallel with an input of a read selection section 20, the read selection section 20 selectively reads data in the read order based on a data speed instruction signal SPD and provides an output of serial transmission information OUT. Since the data SYM are written to the memory 12 in response to a data speed, the power consumption for low speed data is reduced.



LEGAL STATUS

[Date of request for examination] 28.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3288262

[Date of registration] 15.03.2002

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17559

(43) 公開日 平成11年(1999) 1月22日

(51) IntCl.⁶

H 0 3 M 13/22
13/12

識別記号

F I

H 0 3 M 13/22
13/12

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平9-165564

(22) 出願日 平成9年(1997) 6月23日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 岡本 康史

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

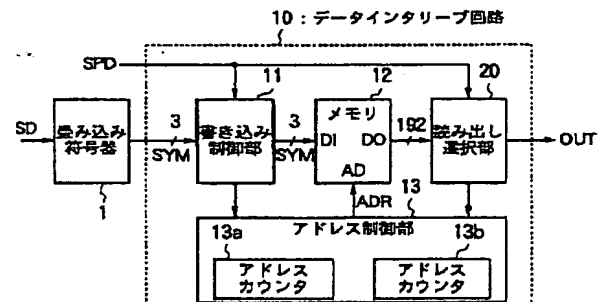
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 データインタリーブ回路

(57) 【要約】

【課題】 データインタリーブ回路の消費電力を低減する。

【解決手段】 書き込み符号器1から与えられた3ビットのシンボルデータSYMは、書き込み制御部11によって、メモリ12の3個の入力端子DI₀～DI₂に3ビット単位で与えられる。メモリ12は、1ワード192ビット構成で、出力端子DO_{3i-3}～DO_{3i-1}(但し、i=1～63)からの出力信号が入力端子DI_{3i}～DI_{3i+2}に与えられ、シフトレジスタが構成されている。メモリ12の出力端子DO₀～DO₁₉₁は、読み出し選択部20の入力側に並列に接続され、この読み出し選択部20によって、データ速度指示信号SPDに基づいた読み出し順序で順次選択読み出しされ、直列の送信情報OUTとして出力される。メモリ12に対して、シンボルデータSYMのデータ速度に応じた書き込み動作が行われるので、低速データ時の消費電力が低減できる。



本発明の第1の実施形態のデータインタリーブ回路

【特許請求の範囲】

【請求項1】 データ速度に応じた第1の周期でM（但し、Mは複数）ビット単位の入力データが順次与えられ、該与えられた入力データをMビット単位で順次シフトして保持するとともに、該保持した入力データを並列に出力するN（但し、Nは複数）段の保持手段と、前記N段の保持手段に保持された入力データを、前記データ速度に応じた第2の周期でM×Nビットの並列データとして読み出す読み出し手段と、前記読み出された並列データを、入力との順序とは異なる一定の順序で逐次選択して、前記データ速度に応じた第3の周期で直列データとして出力する選択手段とを、備えたことを特徴とするデータインタリーブ回路。

【請求項2】 前記保持手段は、1ワード当たりM×Nビットを有し、かつ該各ビット毎に入力端子と出力端子とを持つメモリを用い、第1から第Mの該入力端子に前記Mビットの入力データが与えられるとともに、第M+1から第M×Nの該入力端子には第1から第M×（N-1）の該出力端子からの前記並列データがそれぞれ与えられることによって、該与えられた入力データがMビット単位で順次シフトして保持される構成としたことを特徴とする請求項1記載のデータインタリーブ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、無線通信等において受信側での誤りの分散を行うために、送信側でデータの送信順序を入れ替えて送信するためのデータインタリーブ回路、特にその低消費電力化に関するものである。

【0002】

【従来の技術】 符号分割多元接続（Code Division Multiple Access、以下、「CDMA」という）通信方式等の無線通信においては、送信すべきデータを畳み込み符号器を用いてシンボルデータと呼ばれる符号列に変換し、そのシンボルデータを無線信号によって送信している。一方、受信側では、受信した無線信号をシンボルデータに復調した後、復号器を用いてそのシンボルデータから元のデータを再生している。この復号器による復号過程において、伝送路上で生じた誤りが訂正されて、元のデータが正しく再生されるようになっている。携帯電話等においては、データによって異なる有意度が与えられる。即ち、無音状態や通話が混雑している時には、低い有意度が与えられ、回線に空きがあるような状態では高い有意度が与えられる。そして、この有意度に応じて、元のデータ速度が、1200、2400、4800、9600bpsの4種類の中の1つに設定されるようになっている。一方、送信するシンボルデータの速度は、元のデータ速度には無関係に、一定の送信速度を保つ必要がある。このため、元のデータ速度が遅く、送信シンボルデータ数が少ない場合には、同一のシンボルデータをデータ速度に応じて複数回繰り返して送信するこ

とによって、送信速度を一定に保っている。

【0003】 また、CDMA通信方式等の無線通信の場合、フェージング等によってデータブロックの欠落等の通信エラーが発生する可能性が高い。連続した一定期間の送信データがすべて欠落した場合、通常の畳み込み符号とその復号だけでは、欠落部分を推定・修正して元のデータの状態に復元することは不可能である。このため、送信側で、畳み込み符号化後に送信するデータの送信順序を比較的長い周期で並べ換えるインタリーブと呼ばれる方法がしばしば用いられている。そして、このインタリーブによってシンボルデータの連続性、つまり元のデータの連続性を無くした上で、シンボルデータの送信が行われる。従来、シンボルデータの繰り返しを行う回路と、インタリーブを行う回路は、別々の回路ブロックとして構成されていた。シンボルデータの繰り返しを行う回路では、シンボルデータの一時蓄積用のメモリを用いて、このメモリに必要な回数分だけ同一シンボルデータを繰り返して書き込む操作を行うとともに、一度に複数のシンボルデータが入力されるので、セレクト等を用いて、書き込み位置の選択を行うようにしていた。また、インタリーブを行う回路では、予め決められている元のデータ速度毎のシンボルデータの並べ換えの規則に則り、一時蓄積用のメモリに書き込まれたシンボルデータを順次読み出すことによって、シンボルデータ列の並べ換え動作を行い、送信情報として出力するようにしている。

【0004】

【発明が解決しようとする課題】 しかしながら、従来のシンボルデータの繰り返しを行う回路、及びインタリーブを行う回路では、次のような課題があった。シンボルデータの繰り返しを行う回路では、シンボルデータの絶対数が少ない低速データの場合も、シンボルデータの絶対数が多い高速データの場合にも、同じ回数だけメモリへシンボルデータの書き込み処理を行う必要があり、データ速度に関係なく回路の動作回数が一定となる。このため、低速データの場合にはシンボルデータ数が少なく、書き込み回数も少なくて済むにも拘らず、回路の消費電力を減少させることができない。更に、書き込み位置の選択のためにセレクト等の選択回路が必要となり、回路規模の増大と消費電力の増大を招くことになる。また、インタリーブを行う回路では、データの読み出し順序に則り、シンボルデータが蓄積されているメモリのアドレスが変わる毎にアドレス変更を行って、蓄積されたデータを読み出す必要がある。このためデータ速度に関係なく、メモリに蓄積されたデータをすべて読み出して並べ換えを行う必要があり、回路の消費電力を減少させることができない。本発明は、前記従来技術が持っていた課題を解決し、シンボルデータの繰り返しを行う回路とインタリーブを行う回路を一体化するとともに、データ速度に応じた回数だけシンボルデータの書き込み及び

読み出しを行うことにより、消費電力を低減することができ、データインタリブ回路を提供するものである。

【0005】

【課題を解決するための手段】前記課題を解決するため、本発明の内の第1の発明は、データインタリブ回路において、データ速度に応じた第1の周期でM（但し、Mは複数）ビット単位の入力データが順次与えられ、該与えられた入力データをMビット単位で順次シフトして保持するとともに、該保持した入力データを並列に出力するN（但し、Nは複数）段の保持手段と、前記N段の保持手段に保持された入力データを、前記データ速度に応じた第2の周期でM×Nビットの並列データとして読み出す読み出し手段と、前記読み出された並列データを、入力順序とは異なる一定の順序で逐次選択して、前記データ速度に応じた第3の周期で直列データとして出力する選択手段とを、備えている。

【0006】第2の発明は、第1の発明の保持手段を、1ワード当たりM×Nビットを有し、かつ該各ビット毎に入力端子と出力端子とを持つメモリを用い、第1から第Mの該入力端子に前記Mビットの入力データが与えられるとともに、第M+1から第M×Nの該入力端子には第1から第M×(N-1)の該出力端子からの前記並列データがそれぞれ与えられることによって、該与えられた入力データがMビット単位で順次シフトして保持される構成にしている。本発明によれば、以上のようにデータインタリブ回路を構成したので、次のような作用が行われる。第1の周期でMビット単位の入力データが順次与えられると、保持手段によってMビット単位でシフトされ、M×Nビットのデータが保持される。このM×Nビットのデータは、読み出し手段によって並列データとして読み出される。更に、選択手段によって、データ速度に応じた周期で入力された順序とは異なる順序選択されて直列データとして出力される。

【0007】

【発明の実施の形態】

第1の実施形態

図1は、本発明の第1の実施形態を示すデータインタリブ回路の構成図である。このデータインタリブ回路10は、例えば携帯電話機等の無線端末機に組み込まれるものであり、畳み込み符号器1からのシンボルデータSYMが与えられる書き込み制御部11を有している。例えば、符号化率 $R=1/3$ の無線端末機の場合、畳み込み符号器1は、送信データSDを符号化し、1ビットの送信データSDに対して、この畳み込み符号器1の拘束長分の影響を受けた3シンボルのシンボルデータSYMを生成して、書き込み制御部11に出力するものである。また、畳み込み符号器1は、1フレーム単位の処理周期によって畳み込み符号化を行うようになっており、1フレームの最大データ数は、例えば192ビットとなっている。従って、畳み込み符号器1から出力されるシ

ンボルデータSYMは、1フレーム当たり576シンボルとなる。

【0008】通常は、入力される送信データSDの速度が遅く、1フレーム単位のデータ数が192ビット以下の場合でも、繰り返し処理を行うことで、1フレーム内のシンボル数は、いつでも576シンボル存在することになる。書き込み制御部11は、畳み込み符号器1から与えられたシンボルデータSYMを、その出力側に接続された保持手段（例えば、メモリ）12に、順次書き込む処理を行うものである。書き込み制御部11には、外部から書き込むシンボルデータSYMの元のデータ速度（例えば、1200、2400、4800、または9600bps）を示すデータ速度指示信号SPDが与えられており、このデータ速度指示信号SPDに基づいて書き込むデータ量の制御を行うようになっている。メモリ12は、書き込み制御部11から入力端子DIに与えられるシンボルデータSYMを一時蓄積するものであり、一時蓄積するシンボルデータSYMにあわせて、192ビット×3ワードの記憶容量を有している。即ち、メモリ12は、アドレス端子ADに与えられるアドレス信号ADRを3回変更することによって、1フレーム分のすべてのシンボルデータSYMを書き込むことができる記憶容量に設定されている。メモリ12のアドレス端子ADにはアドレス制御部13が、出力端子DOには読み出し手段及び選択手段（例えば、読み出し選択部）20が、それぞれ接続されている。

【0009】アドレス制御部13は、メモリ12に対する書き込み及び読み出しアドレスの制御を行うものであり、このメモリ12の最大3ワードのアドレスを管理するために、書き込み用の2ビットのアドレスカウンタ13a、及び読み出し用の2ビットのアドレスカウンタ13bを有している。読み出し選択部20は、前記データ速度指示信号SPDに基づいて、そのデータ速度毎に指定されている読み出し規則に則り、メモリ12からデータを読み出して、送信情報OUTとして出力する機能を有している。図2は、図1中のメモリ12の入力端子DIと出力端子DOの接続関係を示す接続図である。メモリ12は、192個の入力端子 $DI_0, DI_1, \dots, DI_{191}$ 、及び同じく192個の出力端子 $DO_0, DO_1, \dots, DO_{191}$ を有している。そして、メモリ12の3個の入力端子 $DI_0 \sim DI_2$ に、書き込み制御部11から3個のシンボルデータSYMが与えられている。更に、入力端子 $DI_{3i} \sim DI_{3i+2}$ （但し、 $i=1 \sim 63$ ）には、それぞれ出力端子 $DO_{3i-3} \sim DO_{3i-1}$ からの出力信号が与えられるようになっている。また、出力端子 $DO_0 \sim DO_{191}$ は、読み出し選択部20の192本の入力側に並列に接続されている。このように、メモリ12はシフトレジスタを構成するように接続されている。

【0010】図3は、図1中の読み出し選択部20の構

成図である。この読み出し選択部20は、メモリ12の出力端子 $DO_0 \sim DO_{191}$ から出力される出力信号の内の最下位ビット（以下、「LSB」という）から、第72番目のビットまでを、4本ずつに区切って、その内の1つをそれぞれ選択するための18個の4入力セクタ $21_1 \sim 21_{18}$ を有している。また、メモリ12の出力信号の内の第73番目のビットから第144番目のビットまでは、8本ずつに区切られて、9個の8入力セクタ $22_1 \sim 22_9$ の入力側に接続されている。更に、メモリ12の出力信号の内の第145番目のビットから最上位ビット（以下、「MSB」という）までは、16本ずつに区切られて、3個の16入力セクタ $23_1 \sim 23_3$ の入力側に接続されている。18個のセクタ $21_1 \sim 21_{18}$ の出力側は、1200bps出力信号として出力されるとともに、2本ずつに区切られて9個の2入力セクタ $24_1 \sim 24_9$ の入力側に接続されている。セクタ $24_1 \sim 24_9$ 、及びセクタ $22_1 \sim 22_9$ の出力側は、2400bps出力信号として出力されるとともに、2本ずつに区切られて9個の2入力セクタ $25_1 \sim 25_9$ の入力側に接続されている。セクタ $25_1 \sim 25_9$ 、及びセクタ $23_1 \sim 23_3$ の出力側は、4800bps出力信号として出力されるとともに、2本ずつに区切られて6個の2入力セクタ $26_1 \sim 26_6$ の入力側に接続されている。そして、セクタ $26_1 \sim 26_6$ の出力側に、9600bps出力信号が出力されるようになっている。

【0011】更に1200bps出力信号は、3本ずつに区切られて6個の3入力セクタ 27_j （但し、 $j=1 \sim 6$ ）の入力側に接続されている。2400bps出力信号は、3本ずつに区切られて6個の3入力セクタ 28_j の入力側に接続されている。4800bps出力信号は、2本ずつに区切られて6個の2入力セクタ 29_j の入力側に接続されている。これらのセクタ 27_j 、 28_j 、 29_j の出力側、及び9600bps出力信号は、それぞれ4入力セクタ 30_j の入力側に接続され、このセクタ 30_j の出力側に送信情報OUTが出力されるようになっている。次に、動作を説明する。

【0012】9600bpsの場合、192ビット（576シンボル）のデータをメモリ12に書き込む必要があるため、図1の畳み込み符号器1から1度に3個のシンボルデータSYMが出力されると、書き込み制御部11では、図2に示すように、メモリ12に対して3シンボルずつ順次書き込み処理を行う。64回書き込み動作をすることにより、192シンボルのシンボルデータSYMがメモリ12へ書き込まれ、アドレス制御部13内の書き込み用のアドレスカウンタ13aを1回更新する。メモリ12内のシンボルデータSYMは、3ビット単位で上位桁にシフトされてメモリ12に再び書き込まれるので、64回の書き込み動作が終了した時点で、1ワード（192ビット）分のデータをすべて書き込んだ

ことになる。そして、アドレスカウンタ13aが更新されて、次のアドレスに対する書き込みを行い、3ワードすべてに書き込みが終了した時点で576シンボルの書き込みを終えたことになる。4800bpsの場合には、データ量が96ビット（288シンボル）であるので、9600bpsの場合と同様に64回の書き込みで192シンボルのデータの書き込みを終えるとアドレスを1回更新し、次のアドレスで指示されたメモリ位置に残りの96シンボルデータを同様に3シンボル単位で32回書き込みを行う。4800bpsの場合には、メモリ12のアドレスは、1回だけ更新されたことになる。

【0013】2400bpsの場合には、データ量が48ビット（144シンボル）であるので、3個のシンボルデータ毎に48回の書き込みですべてのシンボルのデータの書き込みを終えたことになり、アドレスの更新は行われない。1200bpsの場合には、データ量が24ビット（72シンボル）であるので、3個のシンボルデータ毎に24回の書き込みですべてのシンボルのデータの書き込みを終えたことになり、2400bpsの場合と同様に、アドレスの更新は行われない。このようにして、畳み込み符号器1からのシンボルデータSYMは、同一のシンボルデータSYMを繰り返して複数回書き込むことなく、データ速度に応じたシンボルデータSYMを1回だけメモリ12に書き込むことで、書き込み処理が完了する。

【0014】畳み込み符号器1から出力された1フレーム分のシンボルデータSYMをすべてメモリ12に書き込む処理が終了すると、読み出し選択部20では、外部から与えられるデータ速度指示信号SPDに基づいて、メモリ12からのシンボルデータSYMの読み出し順序の選択を行い、順次シンボルデータSYMの選択出力が行われる。CDMA通信方式の端末機で、最もデータ速度の遅い1200bpsの場合、メモリ12に書き込まれたシンボルデータSYMは、図3に示すように、MSBから4ビット毎に読み出される。また、データ速度が2400bpsの場合には8ビット毎に、データ速度が4800bpsの場合には16ビット毎に、データ速度が9600bpsの場合には32ビット毎に、それぞれ読み出される。1200bpsの場合、全部で72個のシンボルデータSYMは、読み出し選択部20の4:1セクタ $21_1 \sim 21_{18}$ 、 27_j の選択信号を0選択に設定して読み出しを行う。この時、同時に6個のシンボルデータSYMを読み出すことができ、1回目の読み出しで、1、5、9、13、17、21番目のシンボルデータSYMを取り出すことができ、次にセクタ $21_1 \sim 21_{18}$ の選択信号は動作させずにセクタ 27_j の選択信号のみを0から1に動作させることで、続いて25、29、33、37、41、45番目のシンボルデータSYMを読み出すことができる。

【0015】更に、セクタ 27_j の選択信号のみを1

回更新して1から2へ動作させることにより、49、53、57、61、65、69番目のデータを読み出すことができる。この動作を8回繰り返した後に、セクタ21₁～21₁₈の選択信号を1回更新して0から1を選択するように設定し、セクタ27_jは、再び0を選択するように設定して読み出しを行うことで、次の2、6、10、14、18、22番目のデータを読み出すことができる。以降、順次セクタ27_jの選択信号を読み出す毎に更新し、2を選択して読み出すまでの動作を8回繰り返した後にセクタ21₁～21₁₈の選択信号を1回更新し、同様にセクタ27_jの制御、更新をシンボルデータSYMの読み出しとともに繰り返し行う。セクタ21₁～21₁₈の選択信号が3を選択し、セクタ27_jの選択信号が0から2までの巡回を8回繰り返した時点で、読み出しが終るとともに6ビット毎に96回の読み出し(3(セクタ27_jの動作回数)×8(繰り返し回数)×4(セクタ21₁～21₁₈の動作回数))を行い、576個のシンボルを読み出したことになる。

【0016】このような読み出し動作の場合、メモリ12の1ワード当たりのビット数が192ビットであることから、メモリ12のアドレスを更新する必要がない。このため、選択用のセクタ21、27等の一部だけが動作するだけで1度に6ビットのシンボルデータSYMが得られるので、読み出し選択部20の動作回数は6分の1に低減できる。また、データ速度が4800bps以上の場合には、メモリ12のアドレスを変更する必要が生じるが、その場合にも、アドレス信号ADRとセクタ21、22、29等を同時に動作させなければならない頻度が非常に少なくなる。更に、読み出し選択部20の動作回数は6分の1であるので、回路が同時動作をする率が減少し、消費電力の低減が可能になる。以上のように、この第1の実施形態では、次の(1)～(3)のような利点がある。

【0017】(1) 畳み込み符号器1からのシンボルデータSYMを、メモリ12に書き込む際に、シフトレジスタを構成するように接続したメモリ12を用いているので、メモリ12への書き込み選択回路が不要になり、回路規模の縮小と低消費電力化が可能になる。

(2) メモリ12へのシンボルデータSYMの書き込みが、元のデータ速度に依存せず1回で済むので、回路の動作率の低減が可能になり、回路の低消費電力化が達成される。更に、同一シンボルデータSYMを複数回書き込む必要がなくなるので、高速に繰り返して書き込む必要がなくなり、高速クロック信号が不要になり、低消費電力化が可能になる。

(3) 読み出し選択部20では、インタリーブの規則性に着目し、メモリ12のビットとワードの関係性を192ビット×3ワード構成にするとともに、読み出しのためのセクタ21等の選択回路の構成を4の倍数関係に

設定している。これにより、メモリ12の動作回数、選択回路の動作回数の削減が可能になり、更に、1度に6ビットのシンボルデータSYMをメモリ12から読み出すことが可能になっている。読み出し選択部20の動作回数が6分の1に減少することにより、回路の消費電力の低減が可能となる。

【0018】第2の実施形態

図4は、本発明の第2の実施形態を示すデータインタリーブ回路の構成図である。このデータインタリーブ回路40は、例えば携帯電話システムの無線基地局側の送信機に組み込まれるもので、符号化率 $R=1/2$ の畳み込み符号器2からのシンボルデータSYMが与えられる書き込み制御部41を有している。書き込み制御部41には、1ビットの送信データSDに対して、畳み込み符号器2の拘束長分の影響を受けた2シンボルのシンボルデータSYMが与えられる。また、畳み込み符号器2は、1フレーム当たりの最大データ数192ビットに対応して、常に1フレーム当たり384シンボルのシンボルデータSYMが与えられるようになっている。書き込み制御部41は、畳み込み符号器2から与えられたシンボルデータSYMを、その出力側に接続されたメモリ42に、順次書き込む処理を行うものである。書き込み制御部41は、データ速度指示信号SPDに基づいて書き込むデータ量の制御を行うようになっている。

【0019】メモリ42は、書き込み制御部41から入力端子DIに与えられるシンボルデータSYMを一時蓄積するものであり、一時蓄積するシンボルデータSYMにあわせて、192ビット×2ワードの記憶容量を有している。即ち、メモリ42は、アドレス端子ADに与えられるアドレス信号ADRを2回変更することによって、1フレーム分のすべてのシンボルデータSYMを書き込むことができる記憶容量に設定されている。メモリ42のアドレス端子ADにはアドレス制御部43が、出力端子DOには読み出し選択部50が、それぞれ接続されている。アドレス制御部43は、メモリ42に対する書き込み及び読み出しアドレスの制御を行うものであり、このメモリ42の2ワードのアドレスを管理するために、書き込み用及び読み出し用のそれぞれ1ビットのアドレスカウンタ43a、43bを有している。読み出し選択部50は、前記データ速度指示信号SPDに基づいて、そのデータ速度毎に指定されている読み出し規則に則り、メモリ42からデータを読み出して、送信情報OUTとして出力する機能を有している。

【0020】図5は、図4中のメモリ42の入力端子DIと出力端子DOの接続関係を示す接続図である。メモリ42は、192個の入力端子DI₀、DI₁、…、DI₁₉₁、及び192個の出力端子DO₀、DO₁、…、DO₁₉₁を有している。そして、メモリ42の2個の入力端子DI₀～DI₁に、書き込み制御部41から2個のシンボルデータSYMが与えられている。更に、入力

端子 $DI_{2k} \sim DI_{2k+1}$ (但し、 $k=1 \sim 95$) には、それぞれ出力端子 $DO_{2k-2} \sim DO_{2k-1}$ からの出力信号が与えられるようになっている。また、出力端子 $DO_0 \sim DO_{191}$ は、読み出し選択部50の192本の入力側に並列に接続されている。このように、メモリ42はシフトレジスタを構成するように接続されている。図6は、図4中の読み出し選択部50の構成図である。この読み出し選択部50は、メモリ42の出力端子 $DO_0 \sim DO_{191}$ から出力される出力信号の内のLSBから、第144番目のビットまでを、8本ずつに区切って、その内の1つをそれぞれ選択するための18個の8入力セクタ $51_1 \sim 51_{18}$ を有している。また、メモリ42の出力信号の内の第145番目のビットから第288番目のビットまでは、16本ずつに区切られて、9個の16入力セクタ $52_1 \sim 52_9$ の入力側に接続されている。更に、メモリ42の出力信号の内の第289番目のビットからMSBまでは、32本ずつに区切られて、3個の32入力セクタ $53_1 \sim 53_3$ の入力側に接続されている。

【0021】18個のセクタ $51_1 \sim 51_{18}$ の出力側は、1200bps出力信号として出力されるとともに、2本ずつに区切られて9個の2入力セクタ $54_1 \sim 54_9$ の入力側に接続されている。セクタ $54_1 \sim 54_9$ 、及びセクタ $52_1 \sim 52_9$ の出力側は、2400bps出力信号として出力されるとともに、2本ずつに区切られて9個の2入力セクタ $55_1 \sim 55_9$ の入力側に接続されている。セクタ $55_1 \sim 55_9$ 、及びセクタ $53_1 \sim 53_3$ の出力側は、4800bps出力信号として出力されるとともに、2本ずつに区切られて6個の2入力セクタ $56_1 \sim 56_6$ の入力側に接続されている。そして、セクタ $56_1 \sim 56_6$ の出力側に、9600bps出力信号が出力されるようになっている。更に1200bps出力信号は、3本ずつに区切られて6個の3入力セクタ 57_1 (但し、 $1=1 \sim 6$)の入力側に接続されている。2400bps出力信号は、3本ずつに区切られて6個の3入力セクタ 58_1 の入力側に接続されている。4800bps出力信号は、2本ずつに区切られて6個の2入力セクタ 59_1 の入力側に接続されている。これらのセクタ 57_1 、 58_1 、 59_1 の出力側、及び9600bps出力信号は、それぞれ4入力セクタ 60_1 の入力側に接続され、このセクタ 60_1 の出力側に送信情報OUTが出力されるようになっている。

【0022】次に、動作を説明する。図4の畳み込み符号器2から1度に2個のシンボルデータSYMが出力されると、書き込み制御部41では、図5に示すように、メモリ42に対して2シンボルずつ順次書き込み処理を行う。96回書き込み動作をすることにより、192シンボルのシンボルデータSYMがメモリ42へ書き込まれ、アドレス制御部43内の書き込み用のアドレスカウ

ンタ43aを1回更新する。メモリ42内のシンボルデータSYMは、2ビット単位で上位桁にシフトされてメモリ42に再び書き込まれるので、96回の書き込み動作が終了した時点で、1ワード(192ビット)分のデータをすべて書き込んだことになる。そして、アドレスカウンタ43aが更新されて、次のアドレスに対する書き込みが開始される。このようにして、畳み込み符号器2からのシンボルデータSYMは、同一のシンボルデータSYMを繰り返して複数回書き込むことなく、データ速度に応じたシンボルデータSYMを1回だけメモリ42に書き込むことで、書き込み処理が完了する。

【0023】畳み込み符号器2から出力された1フレーム分のシンボルデータSYMを、すべてメモリ42に書き込む処理が終了すると、読み出し選択部50では、外部から与えられるデータ速度指示信号SPDに基づいて、メモリ42からのシンボルデータSYMの読み出し順序の選択を行い、順次シンボルデータSYMの選択出力が行われる。CDMA通信方式の無線基地局で、最もデータ速度の遅い1200bpsの場合、メモリ42に書き込まれたシンボルデータSYMは、図6に示すように、MSBから8ビット毎に読み出される。また、データ速度が2400bpsの場合には16ビット毎に、データ速度が4800bpsの場合には32ビット毎に、データ速度が9600bpsの場合には64ビット毎に、それぞれ読み出される。例えば、データ速度が1200bpsの場合、全部で48個のシンボルデータSYMは、メモリ12のMSBから8ビット毎に、次のような順序で8回繰り返して読み出される。

【0024】1、9、17、25、33、41、5、13、21、29、37、45、3、11、19、27、35、43、7、15、23、31、39、47、2、10、18、26、34、42、6、14、22、30、38、46、4、12、20、28、36、44、8、16、24、32、40、48

このような読み出し動作の場合、メモリ42の1ワード当たりのビット数が192ビットであることから、このメモリ42のアドレスを更新する必要がない。このため、選択用のセクタ 51 、 52 等の一部だけが動作するだけで1度に6ビットのシンボルデータSYMが得られるので、読み出し選択部50の動作回数は6分の1に低減できる。また、データ速度が9600bpsの場合以外、メモリ42のアドレスの更新をする必要がなく、セクタ 51 等を動作させることだけでインタリーブ規則に則った読み出し動作が可能である。

【0025】データ速度が9600bpsの場合には、メモリ42のアドレスを変更する必要が生じるが、その場合にも、アドレス信号ADRとセクタ 51 、 52 等の両方を同時に動作させなければならない頻度が非常に少なくなる。更に、読み出し選択部50の動作回数は6分の1であるので、回路が同時動作をする率が減少し、

消費電力の低減が可能になる。このように、第2の実施形態のデータインタリーブ回路40は、第1の実施形態のデータインタリーブ回路10と同様の利点を有する。なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の(a)～(e)のようなものがある。

【0026】(a) データ速度は1200～9600bpsに限定されず、アプリケーションに応じた任意のデータ速度に適用することができる。

(b) フレーム長は192ビットに限定されず、アプリケーションに応じた任意のフレーム長に適用することができる。その場合、メモリ12、42の記憶容量は、そのフレーム長に合わせた容量に設定すれば良い。

(c) 符号化率Rは、1/2、1/3に限定されず、アプリケーションに応じた任意の符号化率に適用することができる。

(d) シンボルデータSYMの一時蓄積用に、シフトレジスタを構成するように接続されたメモリ12、42を用いているが、蓄積する必要があるシンボルデータSYMの量が少ない場合等には、フリップフロップやラッチ等の素子を用いても同様の機能を実現することができる。

(e) 第2の実施形態におけるメモリ42は、192ビット×2ワードの構成になっているが、CDMAの方式によって1度に6ビットのデータを読み出す必要がない場合には、メモリ42のビット方向をインタリーブのデータ読み出し間隔の最少数である16の倍数に設定し、その分だけワード方向を増やすことでも、同様の機能を実現することができる。

【0027】

【発明の効果】以上詳細に説明したように、第1の発明によれば、入力データをMビット単位でシフトして保持する保持手段を有するとともに、並列に出力されたM×Nビットのデータを入力する順序とは異なる順序で選択して出力する選択手段を有している。これにより、入力が低速データの場合でも1回の書き込み動作で高速の出力データを得ることができるので、回路が同時動作をする率が減少し、消費電力の低減が可能になる。第2の発明によれば、保持手段としてメモリを用い、シフトレジスタを構成するように接続しているため、容量の大きな保持手段を容易に得ることができ、回路規模の縮小と低消費電力化が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すデータインタリーブ回路の構成図である。

【図2】図1中のメモリ12の入力端子DIと出力端子DOの接続関係を示す接続図である。

【図3】図1中の読み出し選択部20の構成図である。

【図4】本発明の第2の実施形態を示すデータインタリーブ回路の構成図である。

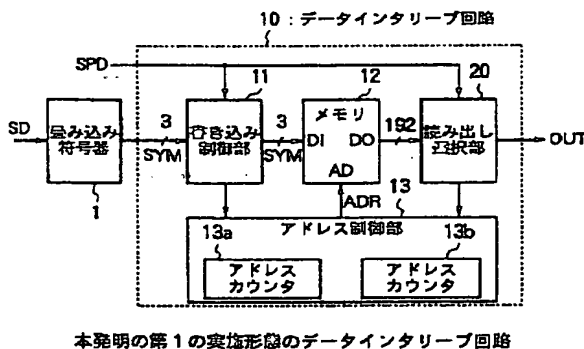
【図5】図4中のメモリ42の入力端子DIと出力端子DOの接続関係を示す接続図である。

【図6】図4中の読み出し選択部50の構成図である。

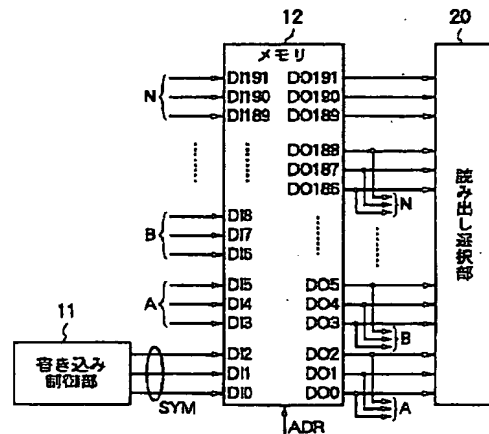
【符号の説明】

10、40	データインタリーブ回路
11、41	書き込み制御部
12、42	メモリ
13、43	アドレス制御部
20、50	読み出し選択部

【図1】



【図2】



【図3】

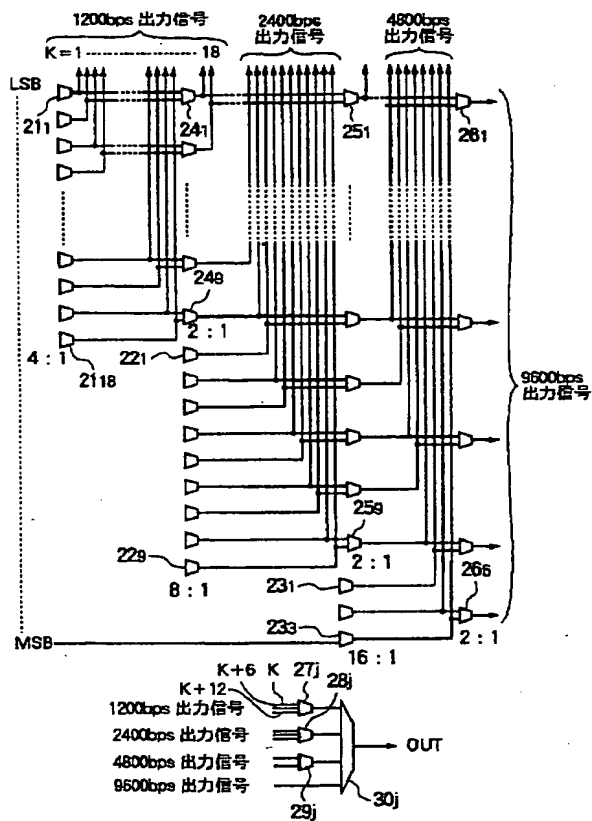


図1中の読み出し選択部20

【図5】

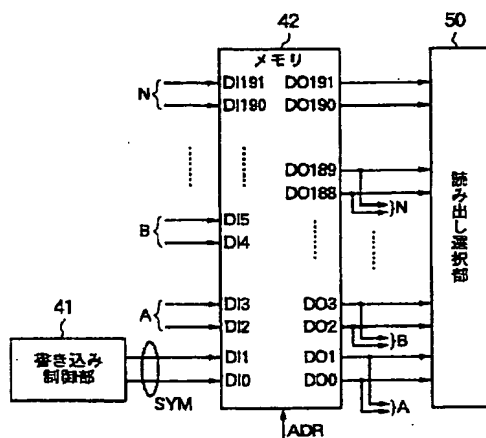
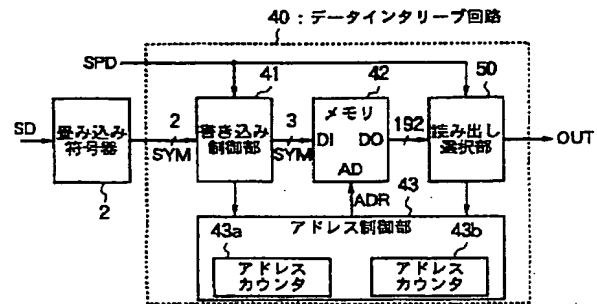


図4中のメモリ42の接続関係

【図4】



本発明の第2の実施形態のデータインターリーブ回路

【図6】

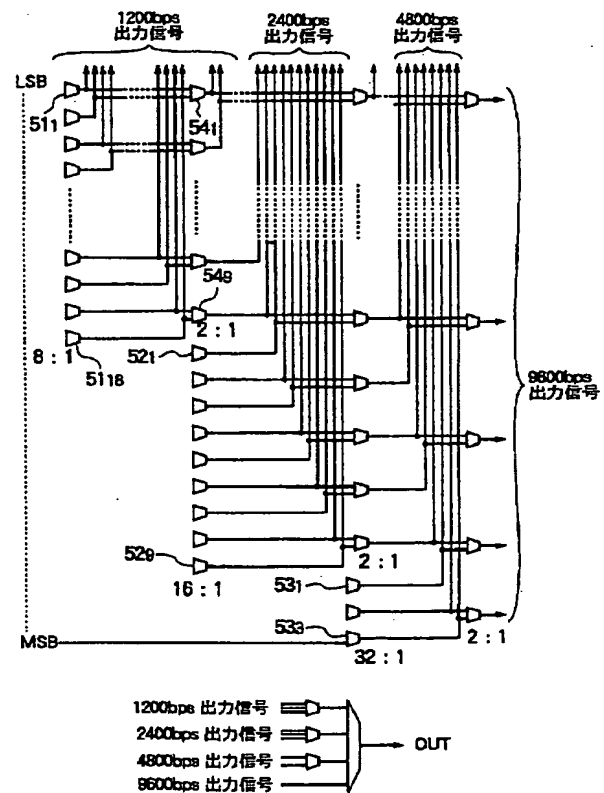


図4中の読み出し選択部50